

四双向模拟开关

概述

CD4066B 是专为模拟或数字信号的传输和多路交换设计的四双向模拟开关。与 CD4016B 的管脚逐脚定义相同，但本电路具有极低的电源导通阻抗，因此可以得到宽的输入信号范围。

四组开关各有独立的控制端，因此可以独立使用，在整个工作电压范围内具有良好的通导特性，因此作为模拟量小信号的开关，A/D 或 D/A 转换中的队友网络尤为适宜。

特点

- ◆ 宽电源电压范围：3~15V
- ◆ 高容噪：0.45VDD（典型值）
- ◆ 宽范围的数字及±7.5VPEAK 模拟开关
- ◆ 导通电阻：80Ω（15V）
- ◆ 匹配导通电阻： $\Delta R_{ON}=50\Omega$ （典型值，15V 信号输入）
- ◆ 导通电阻贯穿整个峰-峰值范围
- ◆ 高“ON”/“OFF”：输出电压比率 65dB（ $f_{IS}=10\text{kHz}$ ， $R_L=10\text{k}\Omega$ ）
- ◆ 控制线性度：
 - 开关导通（逻辑 1）： $V_C=V_{DD}$
 - 开关关闭（逻辑 0）： $V_C=V_{SS}$
- ◆ 高线性度：0.1% 偏差（典型值）
 - 高线性度@ $f_{IS}=1\text{kHz}$ ， $V_{IS}=5\text{VP-P}$
 - 高线性度： $V_{DD}-V_{SS}=10\text{V}$ ， $R_L=10\text{k}\Omega$
- ◆ 极高控制输入电阻：1012Ω（典型值）
- ◆ 低干扰：-50dB（典型值， $f_{IS}=0.9\text{kHz}$ ， $R_L=1\text{k}\Omega$ ）
- ◆ 响应频率：40MHz（典型值，开关为导通状态）

应用

◆ 模拟信号开关/交换器

信号门电路

静噪电路控制

断路器

调制解调器

整流开关

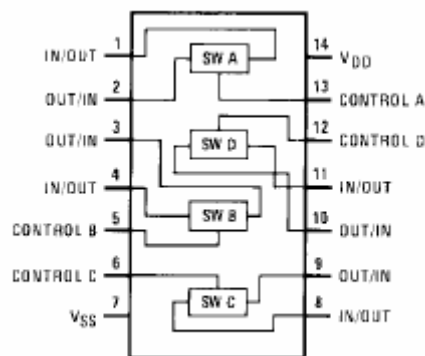
◆ 数字信号开关/交换器

◆ CMOS 逻辑执行

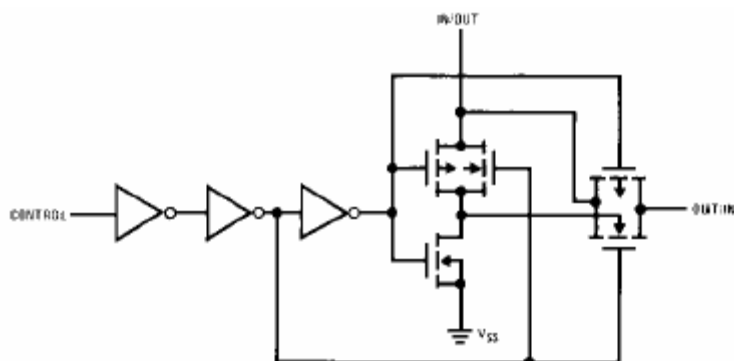
◆ 数字/模拟或模拟/数字转换器

◆ 频率、阻抗、相伴和模拟信号取得的数字控制

管脚图



原理图



极限参数

| 符号 | 参数 | 条件 | 数值 | 单位 |
|------|----------|-------|--------------|----|
| VDD | 电源电压 | | -0.5~+18 | V |
| VIN | 输入电压 | | -0.5~VCC+0.5 | V |
| Tstg | 封装工作温度范围 | | -65~150 | °C |
| PD | 功耗 | DIP14 | 700 | mW |
| | | SOP14 | 500 | |
| TL | 点焊温度 | | 300 | °C |

推荐工作条件

| 符号 | 参数 | 条件 | 数值 | 单位 |
|-----|--------|----|----------|----|
| VDD | 电源电压 | | 3~15 | V |
| VIN | 输入电压 | | 0.5~VDD | V |
| TA | 工作温度范围 | | -55~+125 | °C |

直流电参数

| 符号 | 项目 | 条件 | -55°C | | +25°C | | | 125°C | | 单位 | |
|--|----------------|--|---------|------|-------|-------|------|-------|------|------|---|
| | | | 最小值 | 最大值 | 最小值 | 典型值 | 最大值 | 最小值 | 最大值 | | |
| I _{DD} | 静态器件电流 | VDD=5V | | 0.25 | | 0.01 | 0.25 | | 7.5 | uA | |
| | | VDD=10V | | 0.5 | | 0.01 | 0.5 | | 15 | | |
| | | VDD=15V | | 1.0 | | 0.01 | 1.0 | | 30 | | |
| 信号输入V _{IS} 和输出V _{OS} | | | | | | | | | | | |
| R _{ON} | 导通电阻 | RL=10kΩ (VDD-VSS/2) VC=VDD, VIS=VSS~VDD | VDD=5V | | 800 | | 270 | 1050 | | 1300 | Ω |
| | | | VDD=10V | | 310 | | 120 | 400 | | 550 | |
| | | | VDD=15V | | 200 | | 80 | 240 | | 320 | |
| ΔR _{ON} | 导通电阻路间 差异 | RL=10kΩ (VDD-VSS/2) VC=VDD, VIS=VSS~VDD | VDD=10V | | 310 | | 120 | 400 | | 550 | Ω |
| | | | VDD=15V | | 200 | | 80 | 240 | | 320 | |
| IIS | 输入或输出漏 开关关闭 | VC=0 | | ±50 | | ±0.1 | ±50 | | ±500 | nA | |
| 控制输入 | | | | | | | | | | | |
| V _{ILC} | 低电平输入电 压 | VIS=VSS, VDD VOS=VDD, VSS VIS=±10uA | VDD=5V | | 1.5 | | | 1.5 | | 1.5 | V |
| | | | VDD=10V | | 3.0 | | | 3.0 | | 3.0 | |
| | | | VDD=15V | | 4.0 | | | 4.0 | | 4.0 | |
| V _{IHC} | 高电平输入电 压 | VDD=5V | VDD=5V | 3.5 | | 3.5 | 2.75 | | 3.5 | V | |
| | | | VDD=10V | 7 | | 7 | 5.5 | | 7 | | |
| | | | VDD=15V | 11 | | 11 | 8.25 | | 11 | | |
| IIN | 输入电流 | VDD-VSS, 15V VDD≥VIS≥VSS VDD≥VC≥VSS | | -0.1 | | -10-5 | -0.1 | | -0.1 | uA | |
| | | | | 0.1 | | 10-5 | 0.1 | | 0.1 | | |

交流电参数

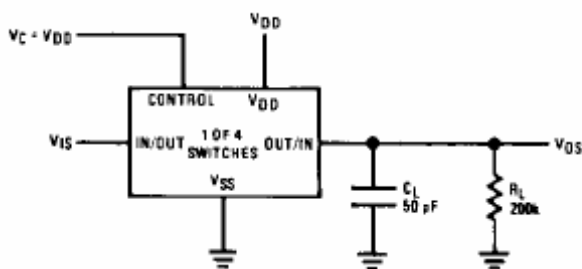
| 符号 | 项目 | 条件 | VDD | 最小值 | 典型值 | 最大值 | 单位 |
|--------------|--------------------------|--|------------------|-----|-------------------|-----------------|-----|
| tPHL tPLH | 从信号输入到输出的传输延迟时间 | VC=VDD, CL=50pF, RL=200k | 5V 10V 15V | | 25 15 10 | 55 35 25 | ns |
| tPZH tPZL | 从控制输入到信号输出高阻到逻辑电平的传输延迟时间 | RL=1kΩ CL=50pF | 5V 10V 15V | | | 125 60 50 | ns |
| tPHZ tPLZ | 从控制输入到信号输出逻辑电平到高阻的传输延迟时间 | RL=1kΩ CL=50pF | 5V 10V 15V | | | 125 60 50 | ns |
| | 正弦波失真 | VC=VDD=5V, VSS=-5V, RL=1kΩ VIS=5VP-P, f=1kHz, | | | 0.1 | | % |
| | 频率响应开关 | VC=VDD=5V, VSS=-5V | | | 40 | | MHz |
| | 关闭串扰反馈开关 频率在-50dB | VDD=5.0V, VCC=VSS=-5.0V, RL=1kΩ, VIS=5.0VP-P20Log10V0S/VIS=-50dB | | | 1.25 | | |
| | 任两个开关间的转换器 | VDD=VC(A)=5.0V, VSS=VC(B)=5.0V, RL=1kΩ VIS(A)=5VP-P20Log10VOS(B)/VIS(A)=-50dB | | | 0.9 | | MHz |
| | 转换器; 控制输入到信号输出 | | | | | | |
| | | RL=1.0kΩ, CL=50pF, VOS(f)=1/2VOS(1.0kHz) | 5V 10V 15V | | 6.0 8.0 8.5 | | MHz |
| CIN | 信号输入电容 | | | | 8.0 | | pF |
| COS | 信号输出电容 | | 10V | | 8.0 | | pF |
| CIOS | 串扰反馈电容 | VC=10V | | | 0.5 | | pF |
| CIN | 控制输入电容 | | | | 5.0 | 7.5 | pF |

重点提示

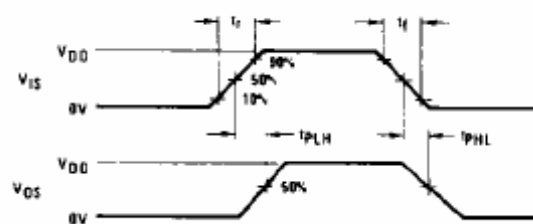
在应用中，使用独立电源来驱动 VDD 和信号输入时，VDD 电流容量应该超过 VDD/R_L (R_L = 外接 4 个 CD4066B 双向开关)，这样可以在 CD4066B 接通和断开电源时，避免任何持久电流流过或锁存到 VDD。

在普通应用中，外接负载的电流可能由 VDD 和信号流组成。为避免产生 VDD 电流，当开关电流流经 1、4、8 或 11 号管脚时，穿过双向开关的压降必须大于 $0.6V@T_A \leq 25^\circ C$ (由 R_{ON} 计算得出)。如果开关电流流向第 2、3、9 和 10 管脚时，没有 VDD 电流流过 R_L 。

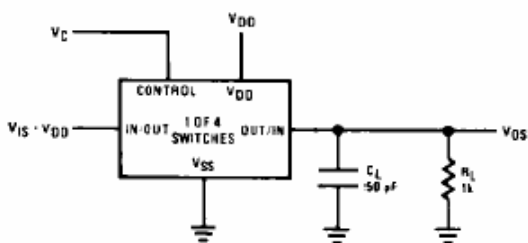
交流测试电路和开关时序波形图



tPHL、tPLH 传播延迟时间

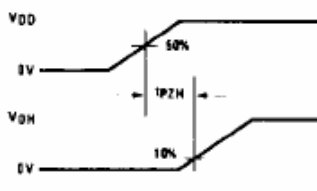


信号输入到信号输出

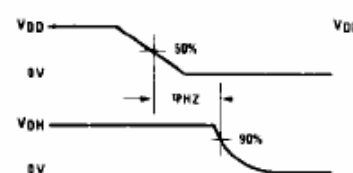


tPZH、tPHZ 传播延迟时间

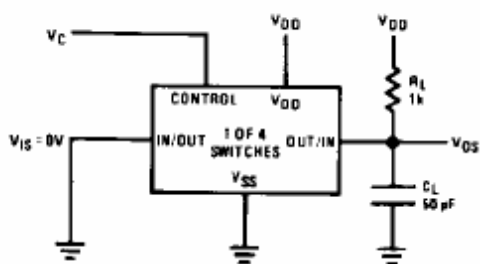
tPZH



tPHZ

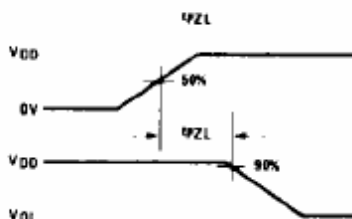


控制到信号输出

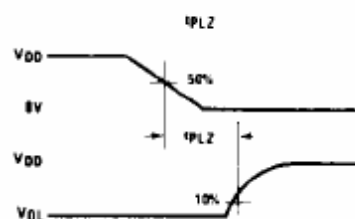


tPZL、tPLZ 传播延迟时间

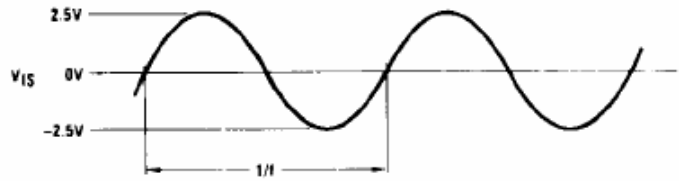
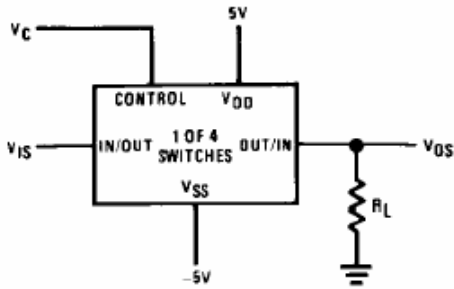
tPZL



tPLZ



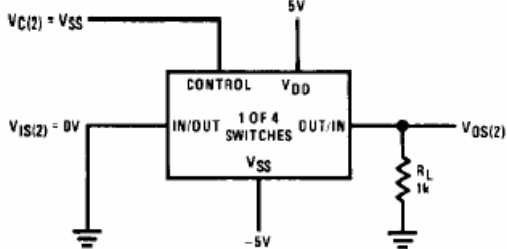
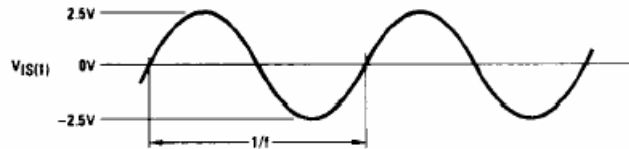
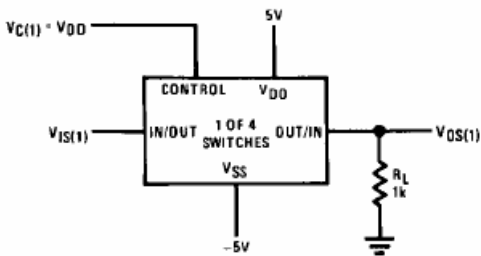
控制到信号输出



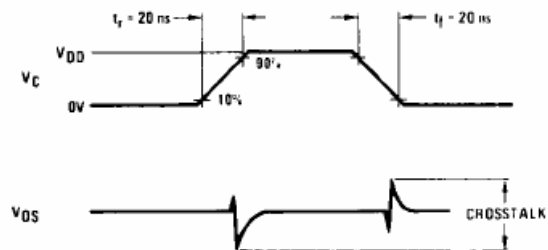
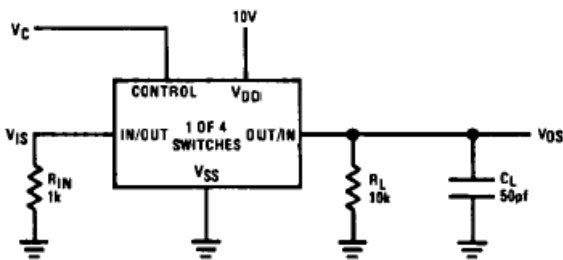
$V_C = V_{DD}$ for distortion and frequency response tests

$V_C = V_{SS}$ for feedthrough test

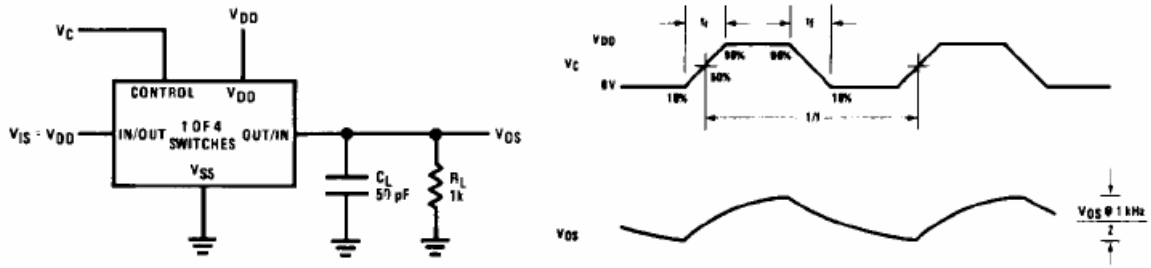
正弦波失真、频率响应和串扰反馈



两开关间的串扰

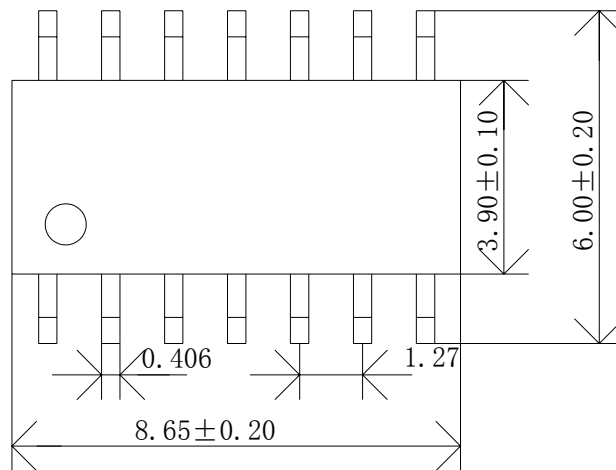


串扰：控制输入到信号输出



最大控制输入频率

✎ 封装尺寸图



SOP14 封装形式

✎ 文档信息

- ◆ 创建日期：2006-8-18